PROGRAMMA DEL CORSO DI ARCHITETTURA DEI CALCOLATORI

SETTORE SCIENTIFICO

INF/01 (INFO-01/A)

CFU

9

PROGRAMMA DIDATTICO: ELENCO VIDEOLEZIONI/MODULI

ARCHITETTURA DEI CALCOLATORI - 0312209INF01

1. Introduzione alla progettazione dei computer 2. La Gerarchia dei Linguaggi di programmazione e i Registri 3. Le Istruzioni Aritmetiche dell'Assembly MIPS 4. Notazione posizionale pesata 5. Notazione in complemento a 2 6. Proprietà della Notazione in complemento a 2 7. Formato di Tipo R per add e sub e Indirizzamento tramite registro 8. Le istruzioni Logiche e di Shift 9. Formato di Tipo I per addi e Indirizzamento immediato 10. Istruzioni lw e sw Assembly MIPS e Indirizzamento tramite Base e Offset 11. Formato di Tipo I per lw e sw e gestione del Tipo di dato Array 12. Istruzioni di salto condizionato su uguaglianza e disuguaglianza 13. Istruzione di salto incondizionato 14. Traduzione in Assembly MIPS della istruzione if-else e dei cicli for e while 15. Gestione della chiamata di procedura con le istruzioni jal e jr 16. Istruzioni di confronto e interi unsigned 17. Operandi immediati e costanti a 32 bit 18. Codifica dei caratteri e Tipi di dato carattere e stringa 19. Istruzioni Load e Store per Byte e half word, e Tipi di dato interi 20. Gestione dell'elemento di un Array con indice variabile 21. Esercizi sulla gestione degli Array e delle stringhe in Assembly MIPS 22. Notazioni in virgola fissa e virgola mobile 23. Standard IEEE 754 per la virgola mobile in singola e doppia precisione 24. Istruzioni MIPS in virgola mobile e Notazioni ottale e esadecimale 25. Compilatori e Java Virtual Machine 26. Algebra di Boole e porte logiche 27. Espressioni e funzioni Booleane 28. Rete Combinatoria e funzione calcolata 29. Sintesi di una Rete Combinatoria 30. Multiplexer e Decodificatore 31. Sommatore completo e ALU a un bit per AND, OR, ADD 32. ALU a 32 bit per AND, OR, NOR, ADD, SUB 33. ALU a 32 bit per BEQ e segnale di Overflow 34. Rete Sequenziale e temporizzazione 35. Introduzione alla implementazione della CPU dell'Architettura MIPS 36. CPU MIPS: Prelievo dell'istruzione e lettura dei registri 37. CPU MIPS: istruzioni Aritmetico-Logiche di Tipo R 38. CPU MIPS: istruzioni di trasferimento dati lw e sw 39. CPU MIPS: istruzione di salto condizionato su uguaglianza BEQ 40. Unità di Controllo MIPS a ciclo singolo 41. Dispositivi di memorizzazione: Latch e Flip-Flop 42. Implementazione dei Registri del processore 43. Valutazione delle prestazioni Hardware di un computer 44. Miglioramento delle prestazioni di un computer: gerarchia di memorie 45. Miglioramento delle prestazioni di un computer: Pipelining, Multicore, GPU